

明 細 書

複合型電子部品

技術分野

[0001] 本発明は多層配線基板上に実装部品を実装した複合型電子部品に関する。

背景技術

[0002] 図4は従来の複合型電子部品を模式的に示す断面図である。この複合型電子部品には、多層配線基板(以下、基板)1上に制御電圧を必要とする半導体素子のような実装部品(以下、部品)3が搭載されている。基板1の表面には電源端子電極(以下、電極)2が設けられ、電極2に接続されるよう部品3が実装されている。

[0003] このような複合型電子部品では、部品3に対して同期制御する複数の制御電圧を印加する場合がある。このような場合、基板1の下面に設けられた外部接続用の電源端子4を基板1の内部で分岐させ引き回すことにより複合型電子部品の制御が簡素化されている。このような複合型電子部品は例えば、特表平5-500136号公報に開示されている。

[0004] 近年、携帯電話やワイヤレスLANに用いられる機器などの小型無線通信機器における小型化要望が強まっている。この要望に応えるためには複合型電子部品を小型化する必要がある。そのためには基板1上に多くの制御を必要とする部品3を搭載する必要がある。しかしながら、基板1内における電源経路の引き回し部分5は、基板1内に設けられる他の回路電極6に対して高周波的に不要な結合を引き起こす要素となる。そのため、電極間隔を大きく設定する必要があるため、複合型電子部品の小型化は困難である。

発明の開示

[0005] 本発明の複合型電子部品は、多層配線基板と、第1電源端子電極と第2電源端子電極と、外部接続用電源電極と、実装部品と、絶縁体と、電源パターンとを有する。第1電源端子電極と第2電源端子電極とは、多層配線基板の第1面に設けられている。外部接続用電源電極は、多層配線基板の第1面に対向する第2面に設けられるとともに第1電源端子電極に接続されている。実装部品は、多層配線基板の第1

面に実装されるとともに第1電源端子電極と第2電源端子電極とに、その第1面にて接続されている。絶縁体は、少なくとも実装部品の第1面に対向する第2面と第1電源端子電極と第2電源端子電極とを、その第1面にて覆っている。電源パターンは、絶縁体の第1面に対向する第2面に設けられ、第1電源端子電極と第2電源端子電極とに接続されている。この構成によれば、外部接続用電源端子と第1電源端子電極とを結ぶ経路から分岐された電源経路である電源パターンが、多層配線基板の外部にある。そのため多層配線基板内での不要な結合が抑制され、複合型電子部品の小型化が可能になる。

図面の簡単な説明

- [0006] [図1]図1は本発明の実施の形態における複合型電子部品を模式的に示す断面図である。
- [図2A]図2Aは図1に示す複合型電子部品の製造方法を示す断面図である。
- [図2B]図2Bは図2Aに続き、図1に示す複合型電子部品の製造方法を示す断面図である。
- [図2C]図2Cは図2Bに続き、図1に示す複合型電子部品の製造方法を示す断面図である。
- [図2D]図2Dは図2Cに続き、図1に示す複合型電子部品の製造方法を示す断面図である。
- [図2E]図2Eは図2Dに続き、図1に示す複合型電子部品の製造方法を示す断面図である。
- [図3]図3は本発明の実施の形態における複合型電子部品の他の構成を模式的に示す断面図である。
- [図4]図4は従来の複合型電子部品を模式的に示す断面図である。

符号の説明

- [0007] 1 多層配線基板
2 電源端子電極
3 実装部品
4 電源端子

- 5 引き回し部分
- 6 回路電極
- 7 多層配線基板
 - 7A 上面
 - 7B 下面
- 8 実装部品
 - 8A 上面
 - 8B 下面
- 9 回路電極
- 10 第1電源端子電極
- 11 第2電源端子電極
- 12 外部接続用電源端子
- 13 絶縁体
 - 13A 上面
 - 13B 下面
 - 13C, 13D 側面
- 14, 16, 20, 25 ビア
- 15 電源パターン
- 17 誘電体
 - 17A 上面
 - 17B 下面
- 18 アース電極
- 19 外部接続用アース電極
- 21 内層アース電極
 - 21A 内層電極
- 22 大判基板
 - 22A 上面
 - 22B 下面

23 大判絶縁体

24 大判誘電体

31, 32 導電層

33 絶縁層

発明を実施するための最良の形態

- [0008] 図1は本発明の実施の形態における多層配線基板上に実装部品を搭載した複合型電子部品の構造を模式的に示す模式断面図である。多層配線基板(以下、基板)7は、樹脂絶縁層を積み重ねて構成されている。その層間には、コンデンサやインダクタなどを用いて高周波回路を構成するための回路電極(以下、電極)9が設けられている。また基板7の第1面である上面7Aには、第1、第2電源端子電極(以下、電極)10, 11が設けられ、第1面に対向する第2面である下面7Bには外部接続用電源端子(以下、端子)12が設けられている。電極10と端子12とは、ビア25によって接続されている。実装部品(以下、部品)8は電極10, 11から入力される制御電圧によりその動作が制御される。特に電極10, 11からの制御電圧の印加は同期制御される。
- [0009] この複合型電子部品は、同期制御を必要とする電極10, 11と、電源パターン15とを有する。絶縁体13は第1面である下面13Bにて、少なくとも部品8の上面8Aと電極10, 11とを覆っている。電源パターン15は、絶縁体13の下面13Bに対向する第2面である上面13Aに設けられ、電極10と第1ビアであるビア14を介して接続されている。一方、電極11は電源パターン15と第2ビアであるビア16を介して接続されている。部品8は下面8Bにて基板7の上面7Aに設けられた電極10, 11に接続されている。部品8の下面8Bは第1面、上面8Aは下面8Bに対向する第2面である。このような構成により、電極11は電極10と端子12とに接続されている。
- [0010] この構成によれば、端子12と電極10とを結ぶ経路から分岐され電極11に向かう引き回し部分である電源パターン15が、基板7の外部にある。そのため、基板7内での不要な結合が抑制されるので、基板7内に設けられる電極9のより高密度な配置が可能となる。そのため、複合型電子部品の小型化が可能になる。
- [0011] なお、電源パターン15が複合型電子部品の表面に露出していると、高周波を扱うこの複合型電子部品が取り付けられる周辺機器へ影響を与える可能性がある。そのた

め、誘電体17を第1面である下面17Bにて電源パターン15を覆うように設け、誘電体17の下面17Bに対向する第2面である上面17Aにアース電極(以下、電極)18を配置することが好ましい。

[0012] この構成により、複合型電子部品のシールド性が確保されるとともに、電源パターン15と電極18とが誘電体17を介して対応する。そのため、電源パターン15と電極18との間に接地容量が形成される。この接地容量が電極10, 11に接続されることで、部品8に対するノイズ低減用のバイパスコンデンサの役割を果たす。そのため電極10, 11の周辺に設ける必要のあるコンデンサ素子が不要になるので、複合型電子部品がより小型になる。

[0013] なお、電極18の接地経路は、以下のように構成することで容易に確保できる。すなわち、基板7の下面7Bに外部接続用のアース電極(以下、電極)19を設ける。また、基板7の内層部分に電極19とビア20で接続された内層アース電極(以下、電極)21を設ける。そして電極21の端部を基板7の側面7Cに露出させる。この露出部分にアース電極18を接続する。側面7Cは上面7Aと下面7Bとの間の面である。

[0014] なお、ビア14, 16は、通常、銀系などの導電性の高い電極ペーストを用いて形成される。ここでビア14, 16は制御電圧を印加する経路を形成する。そのため、導電性の高い電極ペーストに代えてビア14, 16の少なくとも一方に抵抗成分を付加すれば部品8に対するプルアップ抵抗やプルダウン抵抗をビア14, 16内に形成することができる。このようにすればより複合型電子部品が小型になる。また、ビア14, 16に抵抗成分を付加する場合、導電性の高い電極ペーストに抵抗成分を有するペーストを付加することで、自在に抵抗成分を付加することができる。あるいはビア14, 16を、抵抗成分を有するペーストで形成してもよい。このように抵抗成分を有するペーストは例えば、カーボン、LaB₆セラミックなどを用いて調製される。

[0015] 次にこのような構成を実現する製造方法について図2A～図2Eを用いて説明する。まず図2Aに示すように、複数の基板7を多数個取りするための大判基板22上に部品8を適宜実装する。なお、大判基板22の第1面である上面22Aには予め所定の位置に複数組の電極10, 11が形成されている。また上面22Aに対向する第2面である下面22Bには、電極19と端子12との組が複数、予め設けられている。電極19は、ビ

ア20を介して内層電極(以下、電極)21Aに接続され、端子12はビア25を介して電極10に接続されている。

[0016] 次に図2Bに示すように、この上に予め部品8を収容する凹部を設けられ、電極10と接続する位置にビア14を設けられた大判絶縁体23を載置する。そして、その表面に適宜電源パターン15を選択的に形成する。そして図2Cに示すように大判誘電体24を載置し、それらを一体化する。大判絶縁体23には、例えば無機フィラーと熱硬化樹脂との混合物が用いられる。このような材料の典型的なものは、シリカフィラーとエポキシ樹脂とを混合したコンポジット材である。大判誘電体24は、たとえば大判絶縁体23と同様に無機フィラーと熱硬化樹脂で構成できるが、フィラーにはチタン酸バリウム等の比誘電率の高い材料が用いられる。

[0017] 次に図2Dに示すように、大判基板22の下面22C側の一部分が残る状態でハーフダイシングする。このとき、電極21Aの端面を露出させて電極21を形成する。すなわち、電極21Aの端面にてハーフダイシングするか、あるいはハーフダイシングにより電極21Aの一部も同時に切断する。次にその表面に電極18を形成する。そして図2Eに示すように、個片に分割すれば本実施の形態における複数の複合型電子部品が得られる。

[0018] なお、本実施の形態における複合型電子部品では、同期制御を必要とする電極10, 11に接続された部品8を基板7に1つだけ実装した構成を挙げて説明したが、本発明はこれに限定されるものではない。電極10, 11に加えさらに多数の電源端子電極を有するようなものであって同期制御を必要とする電源端子電極間を接続する場合においても同様の作用・効果を奏する。また、基板7に複数の部品8を実装し異なる実装部品において同期制御を必要とする電源端子電極間を接続する場合においても同様の作用・効果を奏する。

[0019] なお上記説明では、電極10と電源パターン15とがビア14により接続され、電極11と電源パターン15とがビア16により接続されているが、これに限定されない。たとえば、図3に示すように、絶縁体13の上面13Aと下面13Bとの間に介在する第3面である側面13Cに電極10と電源パターン15とを接続する導電層31を設ける。そして側面13Cに対向する第4面である側面13Dに電極11と電源パターン15とを接続する

導電層32を設ける。このようにしてもよい。導電層31は第1導電層、導電層32は第2導電層である。この場合、導電層31, 32上に絶縁層33を設けて電極18と導電層31, 32とを絶縁する。またこの場合も、導電層31, 32を抵抗体で形成すれば図1の構成と同様の効果が得られる。

産業上の利用可能性

[0020] 本発明による複合型電子部品は小型であり、特に無線LAN用カードや携帯電話などのように小型化が望まれる無線通信機器用途において有用である。

請求の範囲

- [1] 多層配線基板と、
前記多層配線基板の第1面に設けられた第1電源端子電極と第2電源端子電極と、
、
前記多層配線基板の前記第1面に対向する第2面に設けられるとともに前記第1電源端子電極に接続された外部接続用電源電極と、
前記多層配線基板の前記第1面に実装されとともに前記第1電源端子電極と第2電源端子電極とに、その第1面にて接続された実装部品と、
少なくとも前記実装部品の前記第1面に対向する第2面と前記第1電源端子電極と第2電源端子電極とを、その第1面にて覆った絶縁体と、
前記絶縁体の前記第1面と対向する第2面に設けられ、前記第1電源端子電極と前記第2電源端子電極とに接続された電源パターンと、を備えた、
複合型電子部品。
- [2] 前記電源パターンをその第1面にて覆った誘電体と、
前記誘電体の前記第1面と対向する第2面上に設けられたアース電極と、をさらに備えた、
請求項1記載の複合型電子部品。
- [3] 前記多層配線基板の内層部分に設けられるとともに、前記多層配線基板の前記第1面と前記第2面との間の第3面に露出した端部が前記アース電極に接続された内層アース電極と、
前記多層配線基板の前記第2面に設けられ、前記内層アース電極に接続された外部接続用アース電極と、をさらに備えた、
請求項2記載の複合型電子部品。
- [4] 前記第1電源端子電極と前記電源パターンとを接続し、前記絶縁体内に設けられた第1ビアと、
前記第2電源端子電極と前記電源パターンとを接続し、前記絶縁体内に設けられた第2ビアと、をさらに備えた、
請求項1記載の複合型電子部品。

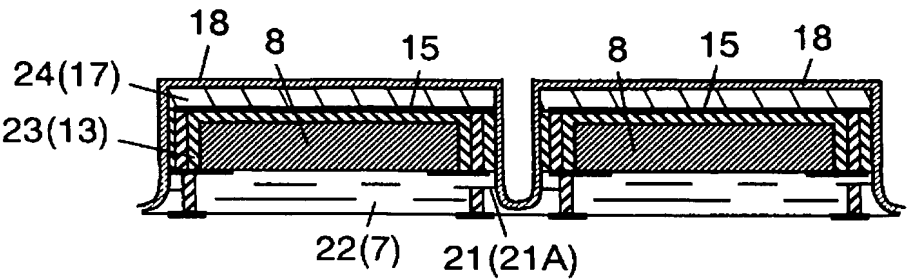
- [5] 前記第1ビアと前記第2ビアの少なくとも一方が抵抗体である、
請求項4記載の複合型電子部品。
- [6] 前記第1電源端子電極と前記電源パターンとを接続し、前記絶縁体の前記第1面と
前記第2面との間の第3面に設けられた第1導電層と、
前記第2電源端子電極と前記電源パターンとを接続し、前記絶縁体の前記第3面に
対向する第4面に設けられた第2導電層と、をさらに備えた、
請求項1記載の複合型電子部品。
- [7] 前記第1導電層と前記第2導電層の少なくとも一方が抵抗体である、
請求項6記載の複合型電子部品。

This diagram shows a cross-sectional view of a multi-layered electronic device assembly. The assembly consists of several stacked layers and components. At the top, there is a thin layer (15) above a thicker layer (14). Below these is a layer (13) with a central rectangular region (13A) and side regions (13B). This is followed by a layer (17) with a central region (17A) and side regions (17B). Below this is a layer (18) with a central region (18A) and side regions (18B). The bottom-most layer is a thick, hatched layer (16). The entire assembly is supported by a base (11) which has a central rectangular cutout (21). The base is further supported by a layer (20) which has a central region (20A) and side regions (20B). The base is also supported by a layer (25) which has a central region (25A) and side regions (25B). The base is further supported by a layer (12) which has a central region (12A) and side regions (12B). The base is also supported by a layer (10) which has a central region (10A) and side regions (10B). The base is further supported by a layer (7) which has a central region (7A) and side regions (7B). The base is also supported by a layer (9) which has a central region (9A) and side regions (9B). The base is further supported by a layer (7C) which has a central region (7C) and side regions (7C).

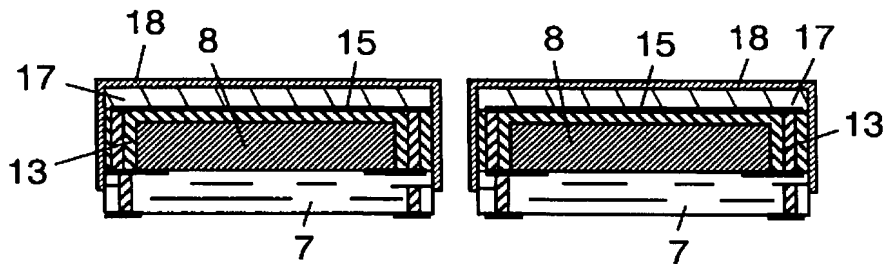
[illegible]

A cross-sectional view of a multi-layered structure 22B. The structure consists of several layers: a top layer 24(17), a layer 23(13) with a hatched pattern, a layer 8 with a diagonal hatched pattern, and a bottom layer 15 with a horizontal hatched pattern. The structure is supported by a base 22(7) which has vertical pillars. The entire assembly is labeled 22B at the bottom right.

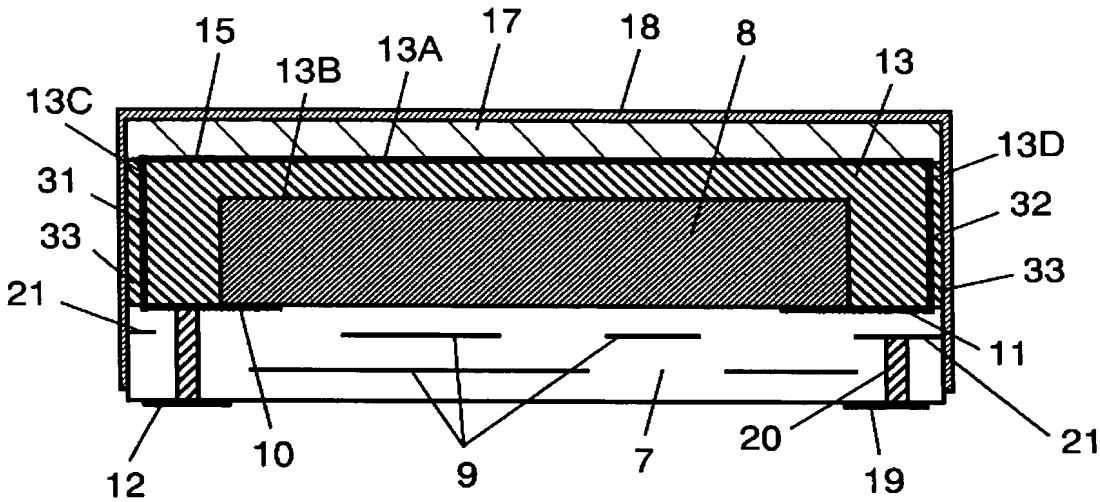
[図2D]



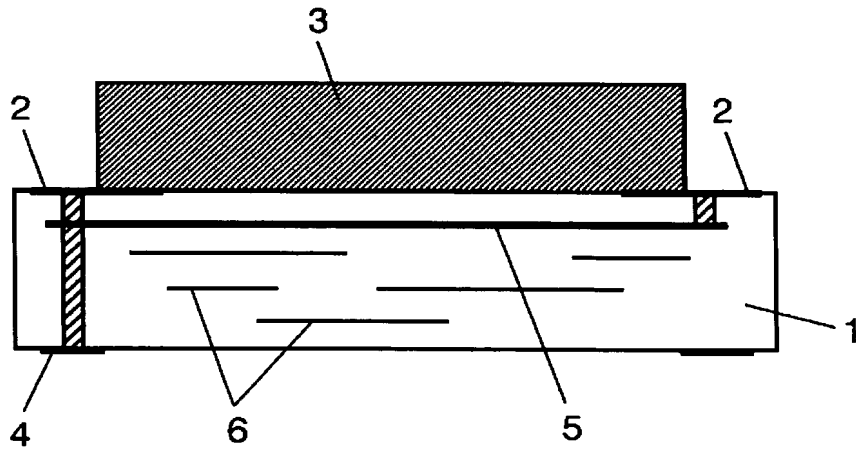
[図2E]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/008140

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L23/00, 23/12, 23/28, H05K3/46		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L23/00, 23/12, 23/28, H05K3/46, 9/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-315470 A (NEC Corp.), 26 November, 1993 (26.11.93), Par. Nos. [0013] to [0017]; Fig. 1 (Family: none)	1, 4, 6
A	JP 2002-151633 A (Citizen Watch Co., Ltd.), 24 May, 2002 (24.05.02), Par. Nos. [0007] to [0014]; Fig. 5 & US 2002/0084523 A1	1-7
P, A	JP 2004-297054 A (Sanyo Electric Co., Ltd.), 21 October, 2004 (21.10.04), Par. Nos. [0025] to [0032]; Fig. 2 & US 2004/0178500 A1	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 July, 2005 (27.07.05)		Date of mailing of the international search report 09 August, 2005 (09.08.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L 23/00, 23/12, 23/28, H05K 3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L 23/00, 23/12, 23/28, H05K 3/46, 9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 5-315470 A (日本電気株式会社) 1993. 11. 26, 【0013】 - 【0017】, 図 1 (ファミリーなし)	1, 4, 6
A	JP 2002-151633 A (シチズン時計株式会社) 2002. 05. 24, 【0007】 - 【0014】, 図 5 & US 2002/0084523 A1	1-7
P, A	JP 2004-297054 A (三洋電機株式会社) 2004. 10. 21, 【0025】 - 【0032】, 図 2 & US 2004/0178500 A1	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27. 07. 2005

国際調査報告の発送日

09. 8. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 英夫

電話番号 03-3581-1101 内線 3471

4 R

9631